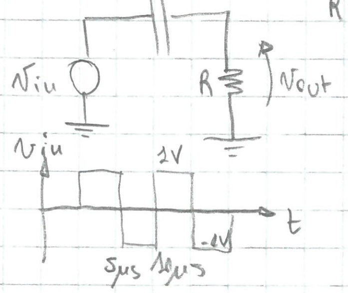
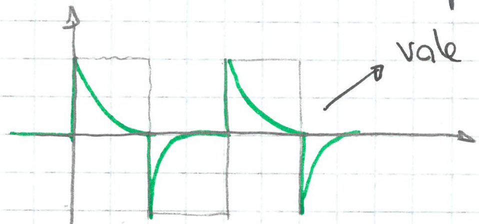
Ese (RICOPIATO DAL) COLO C



$C = 2K$
$R = 100p$

$\tau = CR = 200us \ll \frac{T}{2} = 5\mu s$

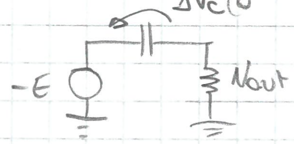
$\to$ il transitorio si esaurisce molto prima che l'ingresso venga cambiato



vale per qualunque DC bias

Se riduco il periodo il transitorio non finisce. Sul fronte positivo:

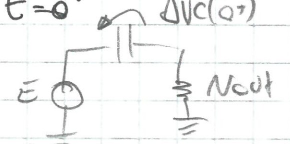
a $t = 0^-$



$\tau = 200us \quad T = 400us \to \frac{T}{2} = \tau$

$V_{out}(0^-) = V^- \exp\left(-\frac{T/2}{\tau}\right) \quad \Delta V_c(0^-) = -E - V^- e^{-1}$

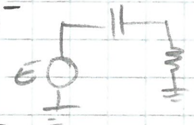
a $t = 0^+$



$\Delta V_c(0^+) = E - V^+ \quad \Delta V_c(0^+) = \Delta V_c(0^-) \to E - V^+ = -E - \frac{V^-}{e}$

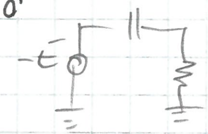
Sul fronte neg:

a $t = 0^-$



$V_{out}(0^-) = V^+ e^{-\frac{T}{2} \cdot \frac{1}{\tau}}$

a $t = 0^+$



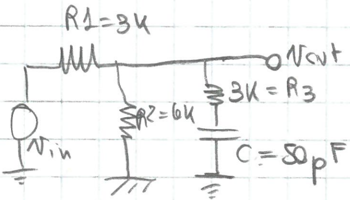
$V_{out} = V^-$

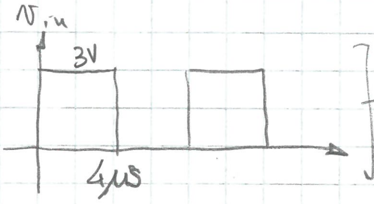
$\underbrace{-E - V^- = E - V^+ e^{-1}}$

$E - V^+ = -E - \frac{V^-}{e}$

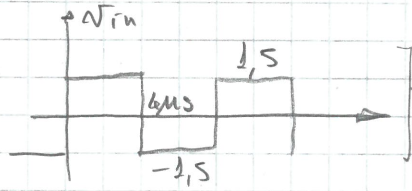
$V^+ = 1{,}46V$
$V^- = -1{,}46V$

Ese x casa





$\to$ calcola V_{out}?



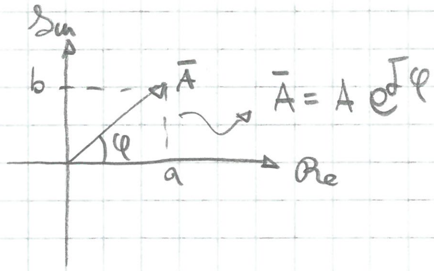
$\to$ calcola V_{out}?

RAS

$g(t) = \sqrt{2}\ \text{Ampiezza} \cdot \sin(\omega t + \varphi) \qquad \omega = 2\pi f = \frac{2\pi}{T}$

ampiezza efficace

$\bar{A} = A e^{j\varphi} \qquad A = \sqrt{a^2 + b^2} \qquad \varphi = \text{arctg}\left(\frac{b}{a}\right)$

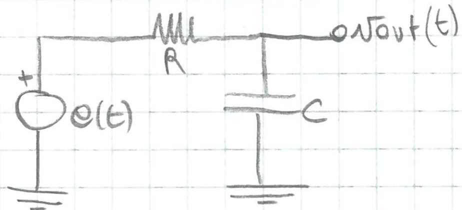


⊛ R $\quad v(t) = R\, i(t) \qquad \bar{V} = R \bar{I} \qquad Z_R \triangleq \frac{\bar{V}}{\bar{I}} = R$

⊛ C $\quad i(t) = C \frac{dv(t)}{dt} \qquad \bar{I} = j\omega C \bar{V} \qquad Z_C \triangleq \frac{\bar{V}}{\bar{I}} = \frac{1}{j\omega C}$

L'induttanza è analoga al condensatore

Circuito RC in RAS



$e(t) = \sqrt{2}\, E \sin \omega t \qquad Z_R = R \qquad Z_C = \frac{1}{j\omega C}$

$\bar{V}_{out} = \frac{Z_C}{Z_R + Z_C} \cdot \bar{E} = \frac{1}{1 + j\omega C R} \cdot \bar{E}$

$T(j\omega) = \frac{\bar{V}_{out}}{\bar{E}} = \frac{1}{1 + j\omega R C}$ → è la funzione di trasferimento

La fdt è
- $|T(j\omega)|$ → modulo o ampiezza di OUT
- $\arg[T(j\omega)]$ → fase della fdt → sfasamento tra OUT e IN

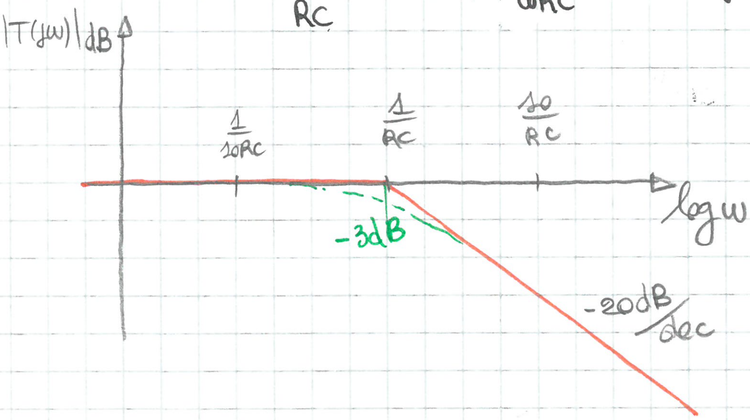
$$|T(j\omega)| = \left| \frac{1}{1 + j\omega R C} \cdot \frac{1 - j\omega C R}{1 - j\omega C R} \right| = \frac{\sqrt{1 + \omega^2 C^2 R^2}}{1 + \omega^2 C^2 R^2} = \frac{1}{\sqrt{1 + \omega^2 C^2 R^2}}$$

$$|T(j\omega)|_{dB} = 20 \log_{10} |T(j\omega)| = 20 \log_{10} \frac{1}{\sqrt{1 + \omega^2 C^2 R^2}}$$

a) se $\omega \ll \frac{1}{RC} \qquad \omega R C \ll 1 \qquad |T(j\omega)|_{dB} = 0$ (amplificazione unitaria)

b) se $\omega = = \frac{1}{RC} \qquad 20 \log_{10}(1/\sqrt{2}) \qquad |T(j\omega)|_{dB} \simeq -3\,dB$

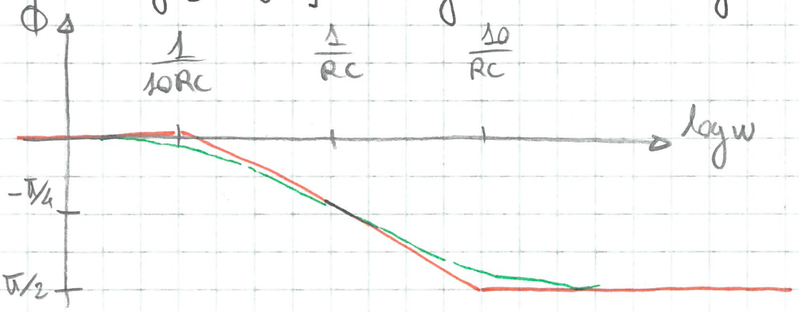
c) se $\omega \gg \frac{1}{RC} \qquad |T(j\omega)| \simeq \frac{1}{\omega R C} = |T(j\omega)|_{dB} = -20 \log_{10} \omega R C$



Vediamo ora la fase:

$$Re[T(jw)] = \frac{1}{1+w^2R^2C^2} \qquad Im[T(jw)] = \frac{-wRC}{1+w^2R^2C^2} \quad \text{perché} \quad T(jw) = \frac{1-jwRC}{1+w^2R^2C^2}$$

$$\phi = \arg[T(jw)] = \operatorname{arctg}(-wRC) = -\operatorname{arctg} wRC = \begin{cases} \text{se } w \ll \frac{1}{RC} & \phi = 0 \\ \text{se } w == \frac{1}{RC} & \phi = -\frac{\pi}{4} \\ \text{se } w \gg \frac{1}{RC} & \phi = -\frac{\pi}{2} \end{cases}$$



Semiconduttori

Sono materiali speciali, la cui resistività può essere più o meno variata a piacimento. Ci concentriamo sui materiali con 4 elettroni (IV gruppo → $\frac{1}{2}$ ottetto) disponibili per la conduzione.
Silicio e germanio sono ottimali, ma il silicio viene prediletto perché è facile ottenere l'ossido di silicio. Possiamo avere una ~~selezione~~ rimozione (etching) selettiva dell'ossido. Il silicio è più abbondante e il germanio quasi non lavora a temperatura ambiente.
Questi due semiconduttori sono puri (cristallo con 1 solo tipo).
Ci sono semiconduttori composti come AsGa (semic. del tipo 3-5) mettendo insieme 3-5 si ottiene 8 per l'ottetto)
Ci sono anche semic. del tipo 2-6 (utilizzati molto nelle applicazioni di rivelazione e rilevazione di fotoni)
Viene utilizzato anche il carburo di silicio (SiC) che rende molto bene ad alte temperature.

Oss: fosforo e arsenico hanno +1 elettrone rispetto al Si
il boro ha 〃 -1 〃 〃 〃 Si

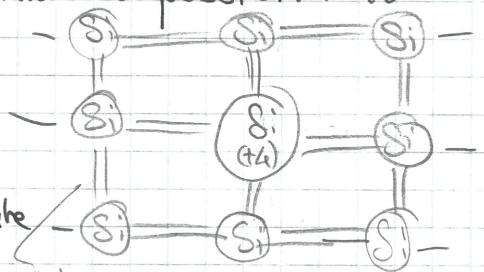
Ibridizzazione degli orbitali del Silicio

Config elettronica $(Z=14) = 1s^2 2s^2 2p^6$

Ti avanzano 4 elettroni. Per avere una situa energeticamente favorita, accade un'ibridizzazione orbitale secondo un tetraedro (come il carbonio). Tutti gli orbitali possono ospitare 4 elettroni, ma avendo solo 4 elettroni, gli orbitali ospitano un elettrone ciascuno. (orbitali sp^3) → 4 sp^3

Sotto l'azione di un campo elettrico (a 0K) non ho possibilità di una conduzione per una corrente elettrica.

Rappresentazione bidimensionale:



Metalli: elettroni liberi + banda di valenza parzialmente riempita

Semimetalli: banda sup piena ma parzialmente sovrapposta alla banda successiva

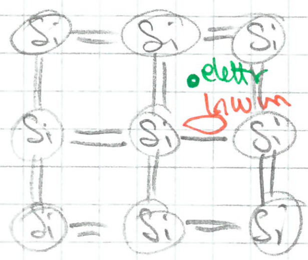
due stanghette = 1 elettrone per legame covalente

Isolanti: valenza piena e banda di conduzione vuota con ampio gap energetico

Semiconduttori: come gli isolanti ma gap ridotto → alcuni elettroni possono saltare in conduzione (es: gap = 1,12 eV Silicio, 0,67 eV Ge, 1,43 GaAs)

Oss: il germanio ha metà energia di gap del Silicio → lacuna male a T ambiente

É possibile rompere un legame avendo un elettrone libero per la conduzione. Ottengo un elettrone (carica −) e una lacuna ("Hole", carica +)



↑ temperatura ↑ legami rotti ↑ aumentano i portatori di carica liberi. $\boxed{\text{elettrone} = n \text{ , lacuna} = p}$

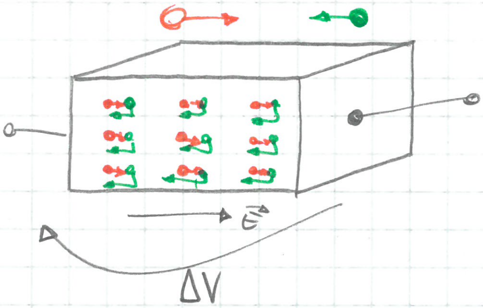
Quanti legami vengono rotti in funzione della temperatura!

1 cm^3 di Si contiene 5×10^{22} atomi

distanza ~~interato~~ interatomica → 0,5 nm = 5 Å

Un materiale intrinseco (es silicio) ha $n=p$.

Con materiali drogati si può avere $n \neq p$



Ho il mio materiale intrinseco $n=p$

Applico una diff di potenziale ΔV

Le lacune si muovono nella direz. di $\vec{E}$

Gli elettroni fanno il contrario

Chiamo il flusso di portatori Φ_n (per unità di area e tempo)

" " " " lacune Φ_p (- - - -)

Scrivo la densità di corrente $J = q\Phi_p - q\Phi_n$ in cui q = carica elem. positiva $(1,6 \cdot 10^{-19} C)$ $J_p = q\Phi_p$ $J_n = -q\Phi_n$

Def La velocità di deriva $\vec{v}_p = \mu_p \cdot \vec{E}$ & $\vec{v}_n = \mu_n \vec{E}$ → velocità deriva lacune ed elettroni

a t ambiente $\mu_n = 1400\ cm^2/V{\cdot}s$ (a 300K) $\mu_p = 450\ cm^2/Vs$ (a 300K) Oss: $\mu_p \simeq \frac{1}{3}\mu_n$ posso ricondurre J alla v_{drift}:

$$J = q\Phi_p - q\Phi_n = q \cdot p\, v_p - q \cdot n\, v_n = qp\mu_p E + qn\mu_n E = (q \cdot p\mu_p + qn\mu_n) E$$

La conducibilità sarà $\sigma = q\mu_n n + q\mu_p \cdot p$ (è dipendente sia dagli elettroni che dalle lacune).

Def resistività $\rho = \left(\frac{1}{\sigma}\right) = \frac{1}{q\mu_n \cdot n + q\mu_p \cdot p}$

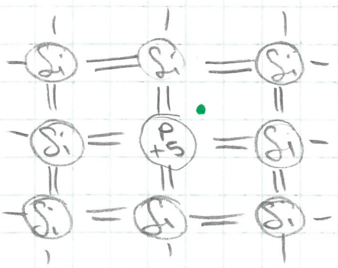
Sostituendo i valori a 300K $n = p = 1,45 \cdot 10^{10}\ cm^{-3}$ $\sigma = 4,4 \cdot 10^{-6}\ \Omega^{-1} cm^{-1}$

$\rho = 2,5 \cdot 10^{5}\ \Omega \cdot cm$ (@300K) → non è un buon conduttore il silicio puro

DOPAGGIAMENTO

- tipo n: aggiungo fosforo (V group). Senza rompere legami aggiungo un elettrone disponibile per condurre.

A fronte di $5 \cdot 10^{22}$ vengono aggiunti circa 10^{-13} atomi di dopante.
Come concentrazione perciò abbiamo un livello molto basso.



L'arsenico è un po' più grande del fosforo. P quindi va meglio ad inserirsi nel reticolo.

As, P sono atomi donori (donors) (regalano atomi disponibili per la conduzione) $10^{14}\ cm^{-3} \le N_D \le 10^{19} - 10^{20}\ cm^{-3}$

Perciò n_i è la concentrazione intrinseca, N_d è la concentrazione dei donori

$N_D \gg n_i$ $n \simeq N_D$ (è circa uguale perché ci sono 4 ordini di grandezza)

Le lacune sono di concentrazione n_i?

legge di azione di massa

$G(T)$ = tasso di generazione (di legami rotti)

$R(T)$ = " " ricombinazione (" " formati) $= n \cdot p \cdot r(T)$

All'eq ~~termico~~ termodinamico → $G(T) = R(T) \Rightarrow np = \frac{G(T)}{\underbrace{r(T)}_{\text{costante dip. solo da } T}} = n_i^2 \rightarrow (1{,}45 \cdot 10^{10})^2$

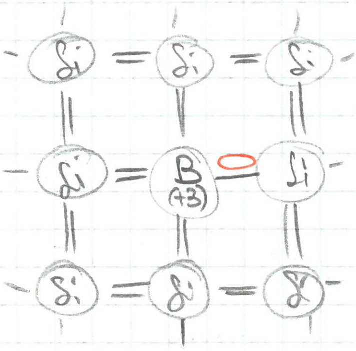
La legge di azione di massa vale sempre all'eq t.d.

Perciò $p = \frac{n_i^2}{n} \simeq \frac{n_i^2}{N_D} \sim \frac{10^{20}\,cm^{-3}}{10^{18}\,cm^{-3}} \approx 100$ lacune/cm^3

Nota: sono così poche le lacune che non contano praticamente niente, perciò elettroni: portatori maggioritari, lacune: portat. minoritari

In un semic di tipo "n" $\sigma = q\mu_n n + q\mu_p p \simeq q\mu_n N_D$

tipo p: (p-type doping). L'atomo di Boro nel silicio è un atomo "accettore" di elettroni (o donatore di una lacuna, se visto al contrario) → ACCEPTOR.



La concentrazione è $10^{14}\,cm^{-3} \leq N_A \leq 10^{19} - 10^{20}\,cm^{-3}$

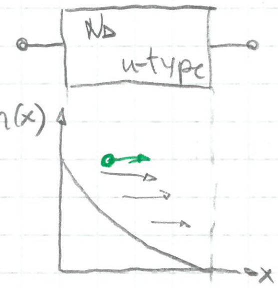
Gli elettroni sono i minoritari, perché:

$p \simeq N_A$ → legge az. massa → $n = \frac{n_i^2}{p} \simeq \frac{n_i^2}{N_A}$

Le lacune sono i portatori maggioritari

I diagrammi di Arrhenius mostrano la relazione delle concentrazioni rispetto alla temperatura.

Correnti di diffusione



Il doping non é distribuito uniformemente.

Gli elettroni vanno da concentrazione mag (+ droga) a concentrazione minore (- droga). Si ha un transitorio.

Abbiamo perció un dipendenza dal gradiente della concentr.

Corrente di diffusione $\vec{J}_n = (-q) D_n (-\text{grad}\, n) = \ldots = q D_n \,\text{grad}(n(x,y,z))$

D_n: coeff diff elettroni — carica e^-

Posso dire la stessa cosa per le lacune:

$\vec{J}_p = q D_p (-\text{grad}\, p) = -q D_p \,\text{grad}(p(x,y,z))$

D_p: coeff diff lacune

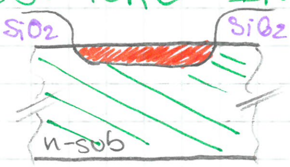
Questo processo é analogo a qualsiasi altro processo diffusivo (inchiostro che si espande in una vasca, etc)

Nel Si $D_n = 32\ cm^2/s$ $D_p = 12\ cm^2/s$ Si ha la relaz. di Einstein:

$D_n = \mu_n \cdot \frac{K_B T}{q}$ tensione termica @ $V_{th} \simeq 25mV$

$D_p = \mu_p V_{th}$

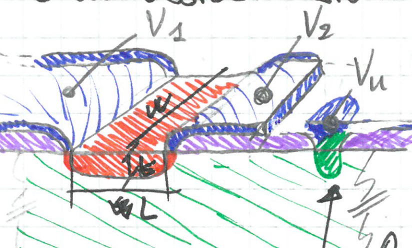
RESISTORE INTEGRATO



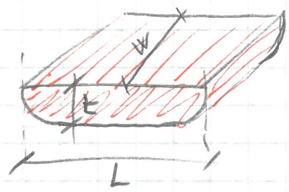
Considero uno substrato poco drogato (n-type) e realizzo una zona drogata di tipo p (rosso)

Ció viene realizzato tramite ossidazione e photo-resist

C'é dell'ossido residuo (SiO_2) dal processo di drogaggio

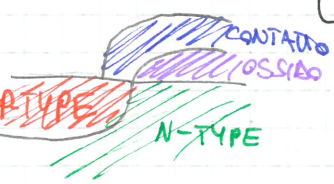


W = width
t = thiccness
L = length
→ parametri del resistore



$\rho = \frac{1}{q \mu_p \cdot p} \simeq \frac{1}{q \mu_p N_A}$ $\frac{1}{\sigma}$

$$\boxed{R = \rho \frac{L}{Area} = \frac{1}{q \mu_p N_A} \frac{L}{t \cdot W}}$$

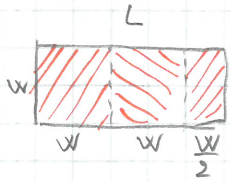


(*) espongo un piccolo contatto della zona n-type per ottenere il potenziale di riferimento V_u

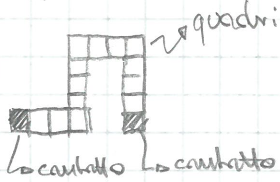
I terminali del resistore sono V_1, V_2

$N_A \cdot t = Dose\ (D)$ (concentraz. sup di accettori) $\rightarrow R = \frac{1}{q \mu_p D} \cdot \frac{L}{W}$

$R_D = \dfrac{1}{q \mu_p D}$ é la resistenza per quadro, mentre $\dfrac{L}{W}$ é il n° di quadri
(square resistance $R_\square$)

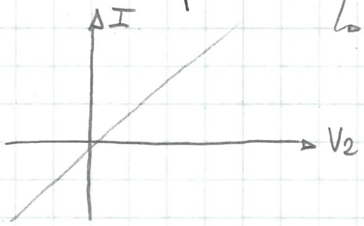


Nota: nella microelettronica si cerca di inserire meno resistenze possibili.
Esse occupano spazio e sono difficili da realizzare



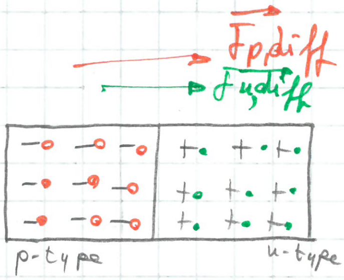
Per occupare meno spazio si dispongono i quadri con una serpentina per ottenere una forma ± compatta (quadrata).

Con $V_1 = 0V$ e V_2 che varia, dovrei avere:
(Sotto un'opportuna tensione V_u)

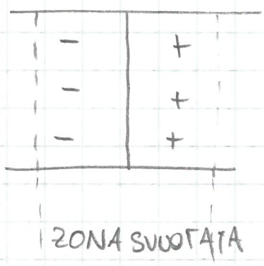


GIUNZIONE P-N (pn junction)

Prendiamo il caso in cui $N_A > N_D$

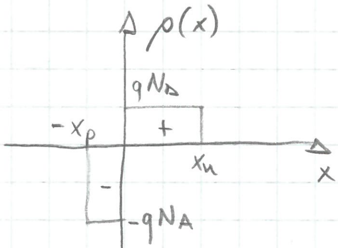


Pongo a contatto i due blocchetti. Essendo non collegati ad un circuito esterno non si ha corrente netta. Sicuramente all'inizio ho un gradiente di concentrazione → corrente diffusiva
Le lacune vanno nella n-type per portare carica positiva ($J_{p,diff}$).
gli elettroni " " p-type " " " negativa ($J_{n,diff}$)

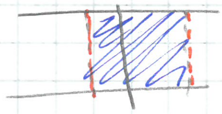


Viene a crearsi una zona svuotata / di carica spaziale (o depletion region / space charge region).
Ho cariche fisse che non possono muoversi ma se ho una certa distrib. di carica assisto ad un campo elettrico.

Queste sono cariche negative e positive fisse.

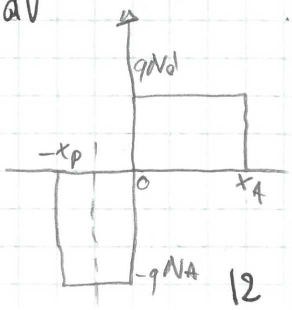


Per la neutralità di carica, queste due zone devono essere equilibrate, perciò nel caso $N_A > N_D$ la zona spaziale é più estesa nel materiale n-type



$|Q_{nTOT}| = |Q_{pTOT}|$ $\quad \cancel{q} N_D \cancel{A} x_n = \cancel{q} N_A \cancel{A} x_p \quad x_n = \dfrac{N_A}{N_D} x_p$

Calcolo il campo elettrico generato con Gauss $\displaystyle\int_\Sigma \vec{E}\,\vec{u}\, da = \int_\Omega \frac{\rho}{\varepsilon}\, dV$

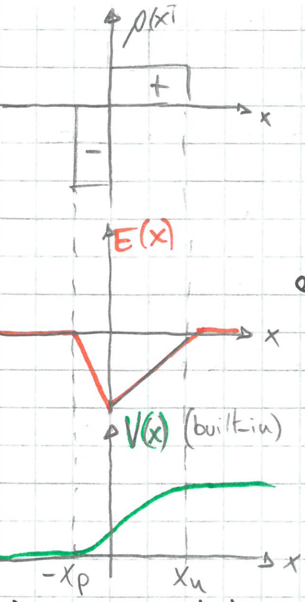


per $x \leq x_p$ $\quad Q_{pTOT}^{(x)} = 0 \to E(x) = 0$

per $-x_p \leq x \leq 0$ $\quad Q_{pTOT}^{(x)} = -q N_A \cdot A \underbrace{(x - (-x_p))}_{dx}$ $\quad E(x) = \dfrac{Q_{TOT}(x)}{A \cdot \varepsilon} = -\dfrac{q N_A}{\varepsilon}(x + x_p)$

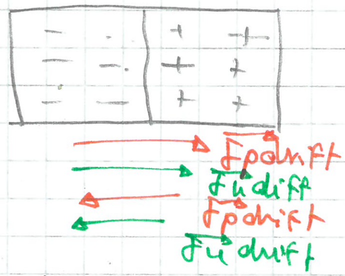
per $0 \leq x \leq x_A$ $\quad Q_{TOT}^{(x)} = -q N_A A x_p + q N_D x A$ $\quad E(x) = -\dfrac{q N_A}{\varepsilon} x_p + \dfrac{q N_D}{\varepsilon} x$

per $x \geq x_A$ $\quad E(x) = 0$



Ottengo il grafico del campo elettrico e di conseguenza (a meno di cost. arbitraria) è def un potenziale.

Scoraggio le correnti di diffusione e faccio uscire una corrente di drift. Condiz di eq dinamico:



$\vec{J}_{pdiff} + \vec{J}_{pdrift} = 0 \qquad \vec{J}_{ndiff} + \vec{J}_{ndrift} = 0$

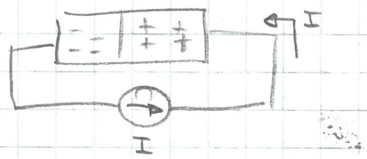
Questa tensione è una tensione di built-in e non è misurabile (è compensata all'interno del semiconduttore)

Dipende dalla concentrazione del drogaggio e dalla diffusione dei portatori.

Tutto ciò analizzato è stato il comportamento all'equilibrio.

Applicando una tensione vado ad aumentare o diminuire l'altezza della barriera di potenziale. Se ↑ non passa corrente, se ↓ passa molta corrente ⇒

⇒ la giunzione pn non è lineare.



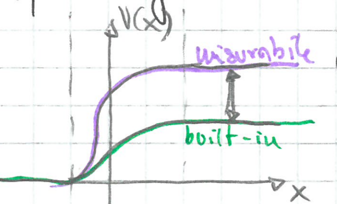
Oss: La tensione built-in è normalmente ≃ 0,7V

↓ barriera → polarizz diretta, ↑ barriera → polarizz inversa.

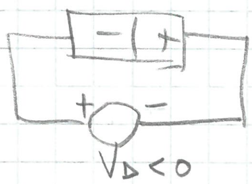
Invece di polarizz con un gen. di tensione, applichiamo per comodità un gen. di corrente (si analizza poi attraverso la tensione)

Ho elettroni che lasciano la zona n e viceversa per le lacune che lasciano la zona p. Vado perciò ad incrementare la zona di svuotamento.

Si incrementa l'ampiezza della barriera di potenziale. Si ottiene una tensione (questo giro misurabile) ai capi della giunzione. Terminale n è a potenziale più positivo rispetto al potenziale del terminale p.



Con un gen. tensione:



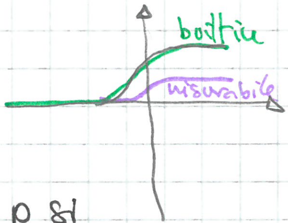
Tensione di breakdown $V_{BD} < 0$

Se la tensione del gen. è in modulo maggiore di V_{BD}:

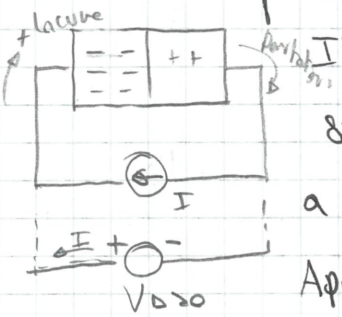
- posso avere un BD di tipo zener (effetto zener): la tensione applicata genera un campo elettrico troppo elevato in grado di rompere legami covalenti → pur essendo in polarizz inversa scorre una corrente apprezzabile

- BD per moltiplicazione a valanga: il campo elettrico diventa sufficiente per accelerare l'elettrone che sbatte sulla zona di svuotamento → viene liberato un altro elettrone che sbatte a sua volta. Il processo si ripete

Il comportamento in temperatura dei BD a valanga o zener è diverso a seconda del BD. I diodi fatti apposta per lavorare in BD, altrimenti se la potenza non viene limitata, si può rompere la giunzione.

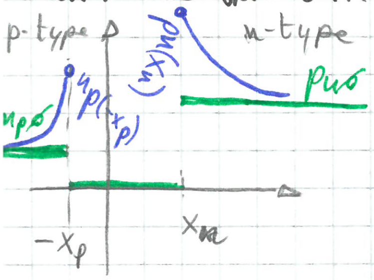


Vediamo la polarizzazione diretta:



Il potenziale si abbassa perché la regione p si stringe, la tensione è quella misurata con la zona p a pot > pot zona n.

Applicando il gen di tensione aiuto ad aumentare la corrente di diffusione. Sapendo che $N_A > N_D$ ~~le lacune~~



Nella zona n-type i minoritari sono le lacune → p_{n0}

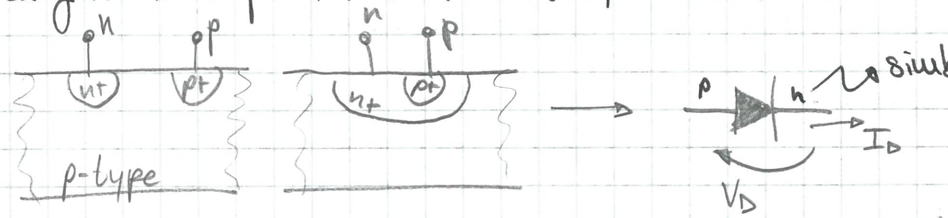
Viceversa per gli ~~elett~~ elettroni in zona p → n_{p0}

Ai bordi ottengo un cambiamento. Verso $-x_p$ ottengo un eccesso di portatori esponenziale. Uguale per x_n

Questo eccesso di portatori fa sì che aumenti la corrente diffusiva (dipende dal gradiente della concentrazione) rendendola apprezzabile.

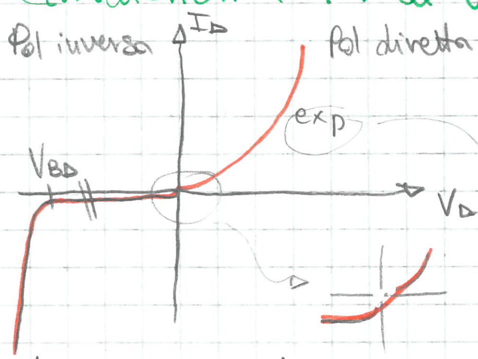
A causa dell'esponenziale, basta cambiare di poco la tensione ai capi della giunzione per avere una grossa variaz di corrente diffusiva.

La giunzione pn forma un diodo, realizzato con tecnologia planare



simbolo circuitale del diodo.

Caratteristica i-v di un diodo a giunzione



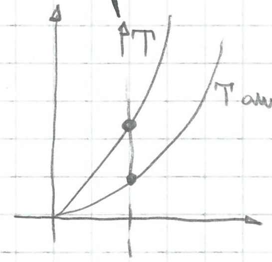
In pol inversa la corrente è trascurabile (~nA) e non dipende dalla tensione

L'equazione exp è $I_D = I_S \left[\exp\left(\frac{V_D}{V_{th}}\right) - 1 \right]$

I_S: corrente di saturazione inversa

Si assume per convenzione 0,7V la tensione in cui si ha una corrente apprezzabile → tensione di TURN-ON

A temperatura più alta dell'ambiente, la caratteristica exp trasla a sx:

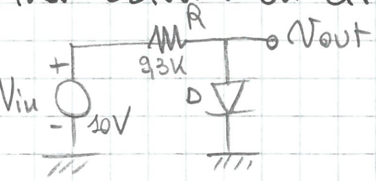


Ho un'aumento di $\sim 100\mu A/{}^\circ C$ oppure $-2mV/{}^\circ C$

Posso ottenere un termometro in base alla giunzione pn a causa della forte dipendenza della caratteristica dalla T

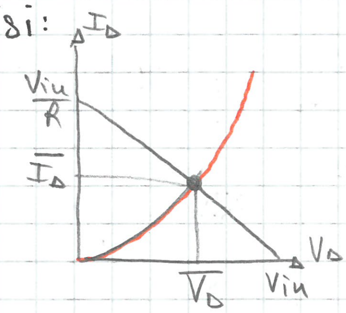
Potenza dissipata dal diodo
- pol inv ~ 0W
- pol diretta $P_D = 0{,}7 \cdot i_D$

Analizziamo un circuito con un diodo: Tecniche di analisi:



1. metodo grafico:

Calcolo $I_{cc} = \frac{V_{IN}}{R}$ $\quad I_0 = 0A \quad V_0 = V_{in}$

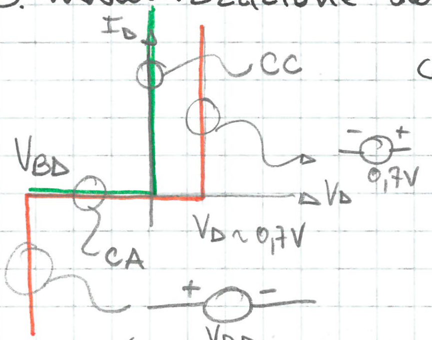


2. metodo analitico:

$$\begin{cases} V_{in} - V_{out} = R \cdot I \\ I = I_S \left(\exp\left(\frac{V_D}{V_{th}}\right) - 1 \right) \end{cases}$$ ⤳ eq trascendente

Questi due metodi non forniscono risultati usabili o precisi.

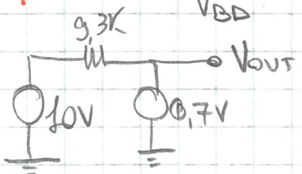
3. modellizzazione del diodo



caratteristica verde: se le tensioni nel circuito sono $\gg 0{,}7V$

" " rossa: " " " " " $\sim 0{,}7V$

Guardando l'esercizio



⤳ $I = \frac{10 - 0{,}7}{9{,}3K} = 1mA$ NB: devo verificare che la corrente sia sempre compatibile con la polarizzazione scelta

Perciò guarda sempre le ipotesi

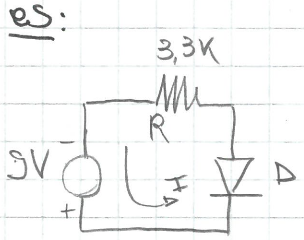
Diodo zener

È progettato per lavorare in BD. Il datasheet indica le diverse tensioni

V_Z: tensione di BD per effetto zener

simbolo dello zener

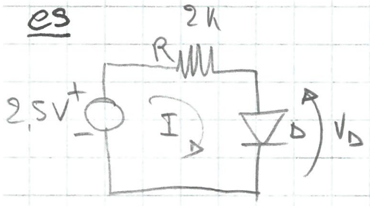
es:



Suppongo diodo spento per Hp → $V_D = -9V$

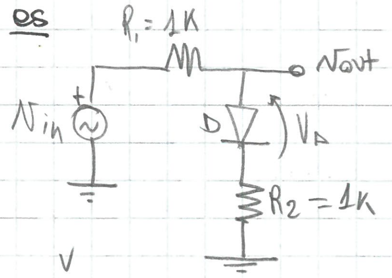
Dato che $V_D < 0$ è in polariz. inversa, perciò la supposizione del diodo in C.A è corretta

es



Per Hp suppongo polarizz. diretta. Sost con gen. tensione da 0,7V ⇒ $I = \frac{2{,}5-0{,}7}{2K} = 900\,\mu A$

es

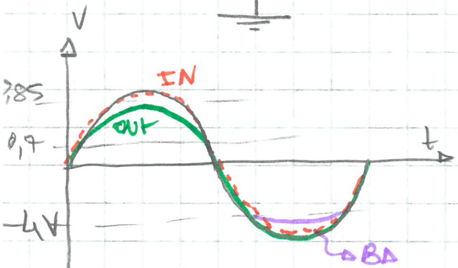


$V_{in} = 5V\ 100Hz$ SINUSOIDALE (nel caso non fossi tardo)

D è ON se $V_{out} \geq 0{,}7V \rightarrow V_{out} = \frac{R_2}{R_1+R_2} V_{in} + 0{,}7 \frac{R_1}{R_1+R_2} =$

$= \frac{V_{in}}{2} + \frac{0{,}7}{2} =$ se $V_{in} = 0{,}7V \rightarrow V_{out} = 0{,}7$

se $V_{in} = 5V \rightarrow V_{out} = 2{,}85V$

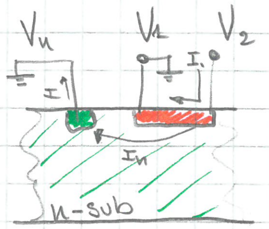


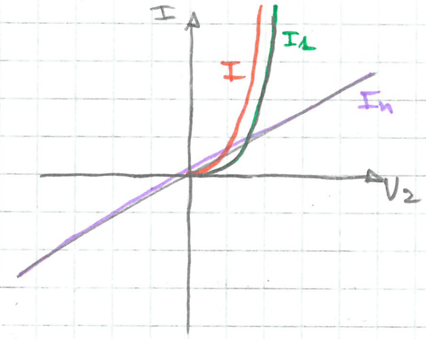
Nel caso di $V_{BD} = -4V$ allora per $V_{in} \leq -4V$ allora il diodo è in BD → sost con gen di tensione da 4V opportunamente orientato.

$V_{out} = \frac{R_2}{R_1+R_2} V_{in} - 4 \frac{R_1}{R_1+R_2} = \frac{V_{in}}{2} - 2V =$ $V_{in} = -4V$: $V_{out} = -4V$; $V_{in} = -5V$: $V_{out} = -4{,}5V$

Fran

~~MOS TRANSISTOR~~





Ho un resistenza integrato, quando $V_2>0$ abbiamo una pol diretta fornita dalla giunzione pn. $I = I_1 + I_n$

Con $V_n>0$ $V_n > V_2|_{MAX}$:

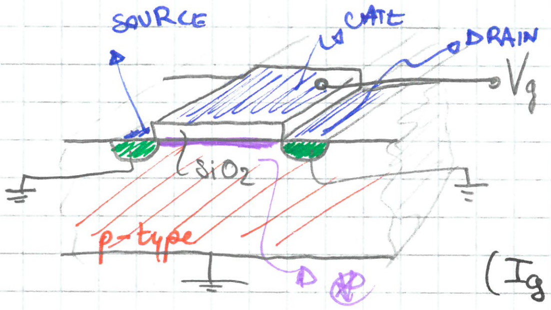
Precisaz sulla giunzione pn e la tensione di riferimento V_n

MOS TRANSISTOR

Mosfet=metal oxide Semiconductor (Silicon) Field Effect Transistor

In presenza di bassa potenza in ingresso, preleva potenza dall'alimentazione per fornire elevata potenza in uscita.

Essi esistono ad arricchimento (enhancement) a canale n e a canale p.



Metto Source, drain a massa e V_g sul gate

I valori caratteristici sono:

V_g = ~~tens~~ tensione gate I_g = corrente gate

($I_g = 0A$ a causa dell'ossido)

I_D = corrente di drain I_S = corrente source

$V_{GS} \triangleq V_G - V_S$ $V_{DS} \triangleq V_D - V_S$ $V_{GD} \triangleq V_G - V_D$

Al crescere di V_g richiamo elettroni mobili all'interfaccia ossido-Silicio

" " " " genero un campo $\vec{E}$ che punta verso il wafer.

Creo una zona svuotata all'interfaccia allontanando lacune, la crescenza è legata dalla radice della tensione (piccola variazione).

Ad un certo punto non cresce più la zona svuotata ma gli elettroni si accumulano ancora (in maniera exp) all'interfaccia

(*) strato di inversione: si forma ~~qu~~ quando ~~V_g~~ $V_G = V_{Tn}$ detta tensione di Soglia (Threshold voltage)

Si chiama strato inv perché gli elettroni, pure essendo minoritari nel p-type, sono abbondanti in quella zona, perciò è come se si invertisse il type, avendo un n-type nella zona di inv.

$$C_{GATE} = \frac{\varepsilon_{ox}}{t_{ox}} A_{GATE} = C_{ox} \cdot W \cdot L \qquad \varepsilon_{Si} = \varepsilon_0 \varepsilon_{Si} = 10^{-12}\, F/cm$$

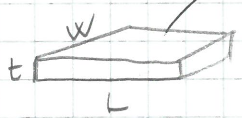
$$\varepsilon_{ox} = \varepsilon_0 \varepsilon_{SiO_2} = \frac{1}{3} \varepsilon_{Si}$$

C_{GATE}: capacità di gate che si forma quando si forma lo strato di inversione. Ho invece $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$ (capacità per unità di area)

$Q_n = C_{ox}(V_{GS} - V_{Tn})$ → ci dice quanti elettroni ci sono nello strato di inv.
carica per unità di area

Moltiplichiamo Q_n per l'area del transistor e otteniamo gli elettroni tot.
Perciò il primo "compito" assolto da un MOS ~~...~~ è il condensatore.

Resistore nMOS



→ Resistenza del canale

$$R_{ch} = \rho_{ch} \cdot \frac{L}{Area_{ch}} = \rho_{ch} \cdot \frac{L}{Wt} \qquad \rho_{ch} = \frac{1}{q \cdot \mu_n \cdot n}$$

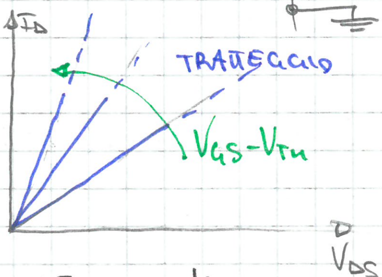
n: concentrazione volumetrica degli ~~...~~ elettroni nel canale

$$R_{ch} = \frac{1}{q \mu_n n t} \cdot \frac{L}{W}$$

→ densità sup di carica nel canale $q \cdot n \cdot t$

Ora pongo una tensione V_{DS} molto piccola

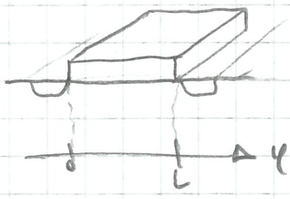
$$V_{DS} = I_D \cdot R_{ch} \qquad I_D = \frac{V_{DS}}{R_{ch}} = V_{DS} \cdot \mu_n C_{ox}(V_{GS} - V_{Tn}) \cdot \frac{W}{L}$$



Rappresento quindi la caratteristica, il cui coeff angolare dipende dalla conduttanza nel canale.

La caratteristica è valida per V_{DS} molto piccole, per valori più grandi non sarà più in regime ohmico, avremo una caratteristica diversa.

Per V_{DS} più grande, non avrò lo stesso potenziale lungo il canale, ma il potenziale varierà linearmente lungo il canale.



Introduco la coordinata spaziale y:

$$q(y) = C_{ox}\left[V_{GS} - V(y) - V_{TN}\right]$$

carica per unità di area

La carica varia in base alla posizione nel canale, perciò il potenziale varia.

$$dR = \frac{dy}{\mu_n C_{ox}\left[V_{GS} - V(y) - V_{TN}\right] W} \qquad \boxed{dV = I_D \cdot dR}$$

$$\int_0^{V_D} dV = \int_{R_0}^{R_L} I_D\, dR \longrightarrow \int_0^{V_D} dV = I_D \int_{R_0}^{R_L} dR$$

sapendo che $dV = I_D \cdot \dfrac{dy}{\mu_n C_{ox}[V_{GS} - V(y) - V_{TN}] \cdot W}$ Posso scrivere l'int come:

$$\mu_n C_{ox} \cdot W \int_0^{V_D} \left[V_{GS} - V - V_{TN}\right] dV = I_D \int_0^L dy \qquad I_D = \mu_n C_{ox} \frac{W}{L} \int_{V_{GS}-V_{TN}}^{V_{GS}-V_D-V_{TN}} x\,(-dx) =$$

$x = V_{GS} - V - V_{TN}$

$dx = -dV$

$V = 0 \to x = V_{GS} - V_{TN}$

$V = V_D \to x = V_{GS} - V_D - V_{TN}$

$$I_D = \mu_n C_{ox} \frac{W}{L} \int_{V_{GS}-V_D-V_{TN}}^{V_{GS}-V_{TN}} x\,dx = \frac{1}{2} \mu_n C_{ox}\left[(V_{GS} - V_{TN})^2 - (V_{GS} - V_D - V_{TN})^2\right] =$$

$$= \frac{1}{2} \mu_n C_{ox}\left[\cancel{(V_{GS} - V_{TN})^2} - \cancel{(V_{GS} - V_{TN})^2} + 2(V_{GS} - V_{TN}) \cdot V_D - V_D^2\right] =$$

$$\Rightarrow \boxed{I_D^{\circledast} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}\left[2(V_{GS} - V_{TN})V_{DS} - V_{DS}^2\right]}$$

Per $V_{DS} \ll 1 \to V_{DS}^2 = o(V_{DS}) \to I_D$ è dipendente lin, ottengo la 1ª espressione

Per V_{DS} più grande ottengo $I_D^{\circledast}$

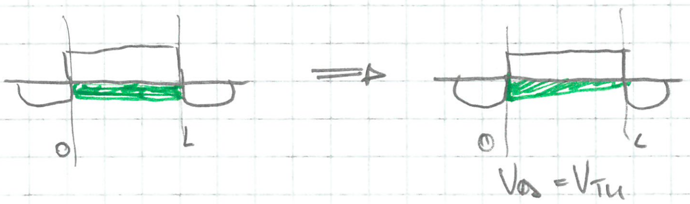
$f(x) = ax^2 + bx + c \rightsquigarrow x_v = \dfrac{-b}{2a}$ perciò:

$$V_{DS} = \frac{\cancel{-}\, \cancel{2}(V_{GS} - V_{TN}) \cancel{\frac{1}{2} \mu_n C_{ox} \frac{W}{L}}}{\cancel{-}\cancel{\frac{1}{2} \mu_n C_{ox} \frac{W}{L}} \cdot \cancel{2}} = V_{GS} - V_{TN} \qquad V_D - \cancel{V_S} = V_G - \cancel{V_S} - V_{TN}$$

$\circledast$ $\boxed{V_D = V_{TN}}$

Il vertice della funzione si ha quando $\circledast$, ~~sul~~ sul punto ~~x~~ $y = L$

La ~~tensione~~ carica in questa situazione è zero, perciò non ho zone di inversione:



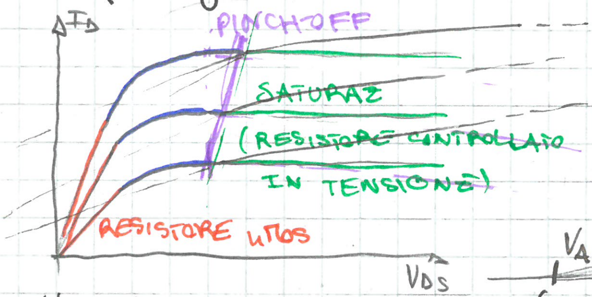
→ Il parallelepipedo diventa tetraedro

⇒ raddoppia la resistenza

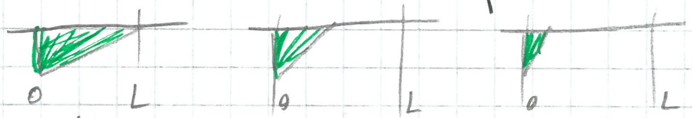
$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}\left[2(V_{GS}-V_{Tn})^2-(V_{GS}-V_{Tn})^2\right] = \underbrace{\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{Tn})^2}_{I_D \text{ in saturazione}}$$

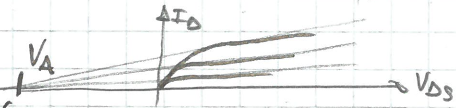
$\uparrow$
$V_{GS}-V_{Tn}=V_{Dn}$

Cane carica nel canale =0, ho raggiunto la condiz di pinch-off (strozzamento)
In questa condizione gli elettroni che arrivano al pinch-off vengono portati via dal campo elettrico creatosi in questa condizione. il numero rimane sempre uguale, la corrente assorbita sarà la stessa



Al crescere di V_{DS} il pinch-off arretra:





V_A = tensione di early (<0) = intercetta delle rette segnate in

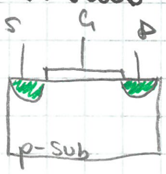
le rette sono l'andamento reale rispetto alle che rappresentano la saturaz

Se tengo conto di V_A allora $I_{D\,sat} = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{Tn})^2 \underbrace{\left(1+\frac{V_{DS}}{|V_A|}\right)}_{\circledast}$

$\circledast$ piccola dipendenza lineare

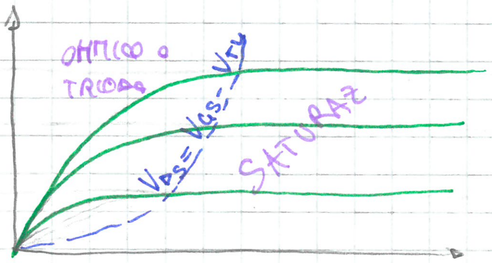
La zona ohmica é anche chiamata comportamento a triodo.

Vediamo ora le diff tra nMOS e pMOS:

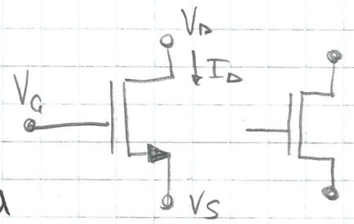


- $V_{Tn}>0$
- $V_{GS}<V_{Tn} \to$ nMOS off $I_D=0$
- $V_{GS}\geq V_{Tn} \to$ nMOS ON $\longrightarrow$ $V_{GD}>V_{Tn}$ $[V_{DS}<V_{GS}-V_{Tn}]$ $\to$ ZONA OHMICA (TRIODO) $\to I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}\left[2(V_{GS}-V_{Tn})\cdot V_{DS}-V_{DS}^2\right]$
  $\searrow$ $V_{GD}\leq V_{Tn}$ $\to$ PINCH-OFF (SAT) $\to I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{Tn})^2$

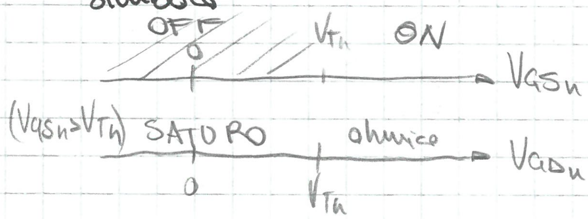
Oss: $K_n = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}$
$\hookrightarrow$ fattore di transconduttanza



Il simbolo circuitale é:

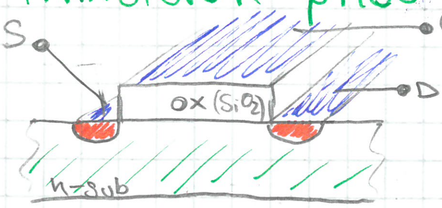


Posso non inserire la freccia nel simbolo

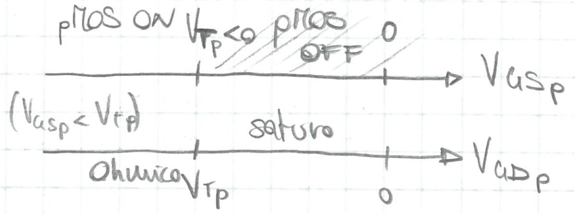


Passiamo al pMOS:

TRANSISTOR pMOS



• $V_{Tp} < 0$

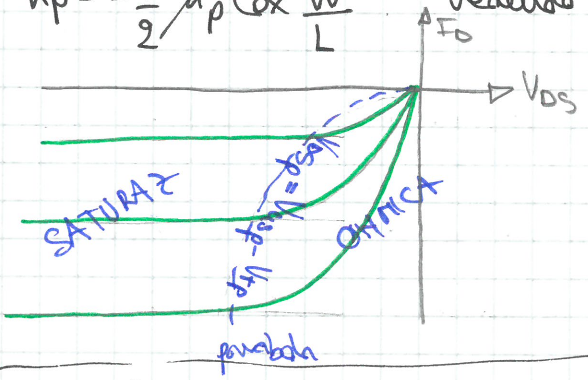


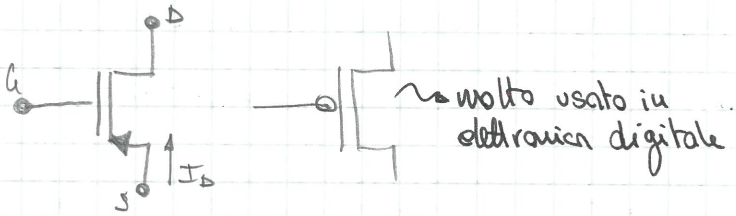
• $V_{GSp} > V_{Tp}$ pMOS off, $I_D = 0$

• $V_{GSp} < V_{Tp}$ pMOS on → ohmico o triodo per $V_{GDp} < V_{Tp}$ → $I_{D_{ohm}} = -\frac{1}{2}\mu_p C_{ox} \frac{W}{L}\left[2(V_{GSp}-V_{Tp})V_{DSp} - V_{DSp}^2\right]$ ⊛

→ saturo $V_{GDp} > V_{Tp}$ → $I_{D_{sat}} = -\frac{1}{2}\mu_p C_{ox} \frac{W}{L}(V_{GSp}-V_{Tp})^2$

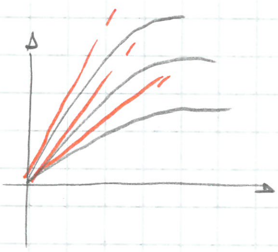
$K_p = -\frac{1}{2}\mu_p C_{ox} \frac{W}{L}$ Vedendo la caratteristica:





Si definisce Resistenza di canale: (per nMOS): ⊛

$$R_{DS_{ON}} = \left.\frac{\partial V_{DS}}{\partial I_D}\right|_{V_{DS}=0} = \left.\frac{1}{\frac{\partial I_{D\,ohmica}}{\partial V_{DS}}}\right|_{V_{DS}=0} = \frac{1}{2(V_{GS}-V_{Tn})K_n}$$



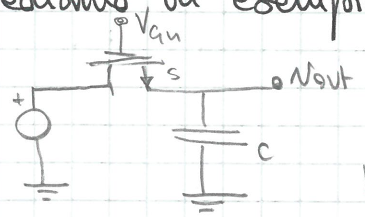
$R_{DS_{ON}}$ è l'inverso della pendenza delle rette in rosso nel grafico

Perciò nMOS come interruttore:

• nMOS off ⟶ interruttore spento
$(V_{GSn} < V_{Tn})$
$(V_{GDn} < V_{Tn})$

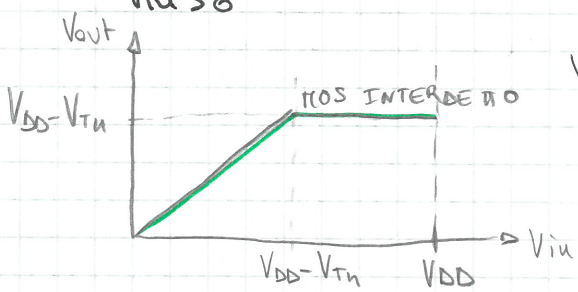
• nMOS ohmico ⟶ inter. "reale" acceso (con $R_{DS_{ON}}$)
$(V_{GSn} > V_{Tn})$
$(V_{GDn} > V_{Tn})$

Vediamo un esempio: Considero tutti i transistori anche simili



Con $V_{Gn} = V_{DD} > V_{Tn}$

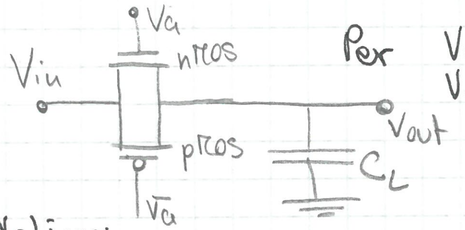
$V_{in} > 0$



$V_G = 0$ no canale

$V_G = V_{DD}$ ho canale lato source

Porta di trasmissione CMOS (C = complementary)



Per $V_G = V_{DD} \rightarrow \overline{V_G} = 0V$
$V_G = 0\,V \rightarrow \overline{V_G} = V_{DD}$

$V_{in} \in [0, V_{DD}]$ pongo $V_{DD} > V_{Tn}$ $|V_{Tn}| = |V_{Tp}| = V_T$

Vediamo:

- $V_G = 0V$, perciò $\overline{V_G} = V_{DD} \rightarrow \nexists$ alcun V_G per cui il terminale di gate > ingresso

Non c'è speranza che si formi un canale di conduzione nell'nMOS $\Big] \rightarrow$ nMOS off

Per il pMOS invece, il gate è positivo, ma source/drain varia da 0V a $V_{DD} > 0$

perciò non riesce a chiamare lacune $\rightarrow$ pMOS off

Entrambi i MOS sono spenti $\rightarrow$ circuito aperto (V_{out}/V_{in} sono scollegate).

- $V_G = V_{DD}$, $\overline{V_G} = 0V$ 1) Suppongo ora che $V_{in} = 0V$, allora l'nMOS riesce a fare canale,

perciò nMOS acceso (in condiz ohmiche). La tensione ai capi della capacità sarà

quindi 0V, come V_{in} (dopo essersi stabilizzata ovviamente).

per quanto riguarda il pMOS, $\nexists$ in ingresso/uscita per cui ci sia conduz $\rightarrow$ pMOS off

nMOS on, pMOS off $\Big] \rightarrow V_{out} = 0\,V$

2) Poniamo $V_{in} = V_{DD}$ nMOS: lato ingresso: non c'è canale ma nel lato uscita

c'è canale. l'nMOS resta acceso finche la tensione di uscita non raggiunge V_T

per $V_{OUT} = V_{DD} - V_{Tn}$, nMOS si spegne

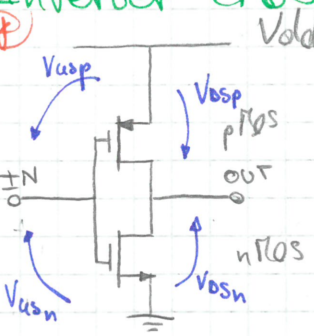
Tengo d'occhio il pMOS. Il gate è più negativo dell'ingresso $\rightarrow$ ho canale $\rightarrow$ pMOS on.

Il pMOS è sempre acceso in zona ohmica/sat. L'uscita da 0V sale, ad una certa

l'nMOS si spegne e rimane il pMOS acceso prima in sat e poi in zona ohmica.

L'uscita viene mantenuta a V_{DD} dal pMOS ohmico.

Inverter CMOS



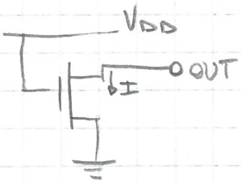
nMOS $\begin{cases} V_{GS_n} = V_{in} = IN \\ V_{DS_n} = V_{out} = OUT \end{cases}$

pMOS $\begin{cases} V_{DSp} = OUT - V_{DD} \\ V_{GSp} = IN - V_{DD} \end{cases}$

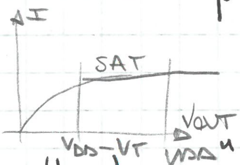
Dobbiamo verificare che sia veramente un inverter logico.

"0" = 0 V
"1" = V_{DD}] → valori logiche

$IN = 1 \longrightarrow V_{GSn} = V_{DD} > V_T \leadsto$ nMOS on $\quad V_{GSp} = 0 > -V_T \leadsto$ pMOS off

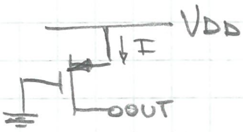


$\leadsto I = 0 \Rightarrow V_{DS_n} = 0 \Rightarrow OUT = 0V$



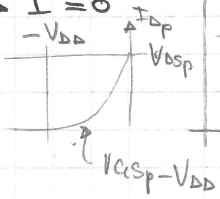
nMOS è l'unico acceso in zona ohmica collegato a "niente"

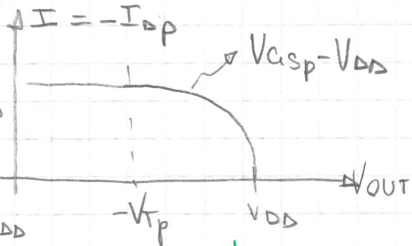
$IN = 0 \longrightarrow V_{GSn} = 0V < V_T \leadsto$ nMOS off $\quad V_{GSp} = IN - V_{DD} = -V_{DD} < V_T \leadsto$ pMOS on



Uscita appesa al nulla $\longrightarrow I = 0$

$V_{DSp} = V_{GS_p} - V_{T_p} = -V_{DD} - V_{Tp}$



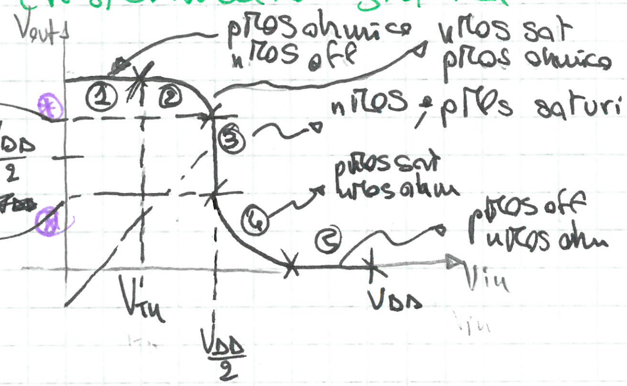


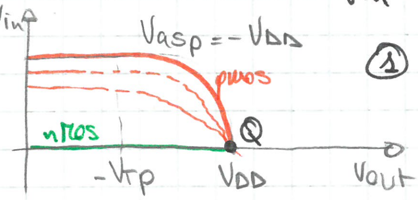
$I = 0 \longrightarrow OUT = V_{DD} = 1$

Inverter CMOS: caratteristica di trasferimento statica

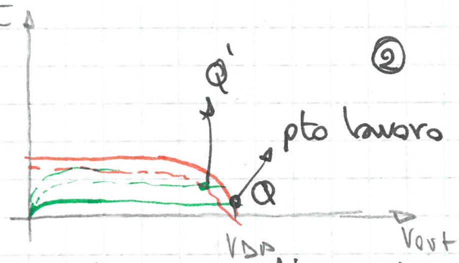
Vedi (*) $\quad (V_{Tn} = |V_{Tp}| = V_T)$

$V_{in} = 0 \longrightarrow V_{in} = V_{Tn}$

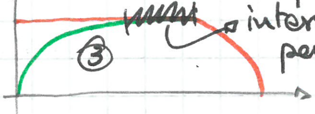




Nel momento in cui $V_{in} > V_{Tn}$, nMOS si accende:



] → le due caratteristiche rispettivamente si abbassano e si alzano fino a che il pMOS non entra in saturazione:



per ricavare V_{in} sat devo ricavare $\underline{I_{Dnsat} = |I_{Dpsat}|} \rightarrow K_n(V_{GSn} - V_{Tn})^2 =$

$= |K_p|(V_{GSp} - V_{Tp})^2 \Rightarrow K_n(V_{in} - V_T)^2 = |K_p|[(V_{in} - V_{DD}) + V_T]^2$

Nota: non sto tenendo conto della ~~corrent~~ modulaz. di canale. Faccio l'Hp $\underline{K_n = |K_p|}$, ovvero che l'inverter sia simmetrico (transconduttanze uguali)

$$\underbrace{\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_n}_{K_n} = \underbrace{\frac{1}{2}\mu_p C_{ox}\left(\frac{W}{L}\right)_p}_{|K_p|}$$

] → l'inverter simm. deve quindi avere → $\boxed{\left(\frac{W}{L}\right)_p = \left(\frac{W}{L}\right)_n \cdot \frac{\mu_n}{\mu_p}}$

Devo quindi avere (per condiz costruttive) il pMOS più grosso dell'nMOS

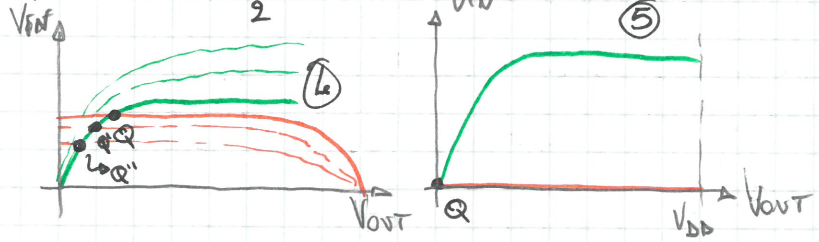
Perciò, avendo inverter simm $\cancel{K_n}(V_{in}-V_T)^2 = |\cancel{K_p}|[V_{in}-V_{DD}+V_T]^2 \rightarrow$

$\rightarrow V_{in} - \cancel{V_T} = -V_{in} + V_{DD} - \cancel{V_T}$ $\quad \underline{V_{in} = \frac{V_{DD}}{2}}$

Questo pto di intersezione si chiama <u>SOGLIA LOGICA</u> di un inverter, che è il valore di tensione al di sotto della quale l'uscita è bassa e viceversa. Questo succede idealmente, senza disturbi e modulaz. di canale.

In realtà c'è una zona di "incertezza"

- Per $V_{in} > \frac{V_{DD}}{2}$



Abbiamo che il pMOS va sempre verso lo spegnimento mentre l'nMOS è acceso in zona ohmica

- condiz sat per nMOS $V_{GDn} = V_{Tn} \rightsquigarrow V_{Gn} - V_{Dn} = V_{Tn} \rightarrow V_{IN} - V_{OUT} = V_{Tn} \rightarrow$

$\rightarrow V_{OUT} = V_{IN} - V_{Tn} = \frac{V_{DD}}{2} - V_{Tn} < \frac{V_{DD}}{2}$ (*)

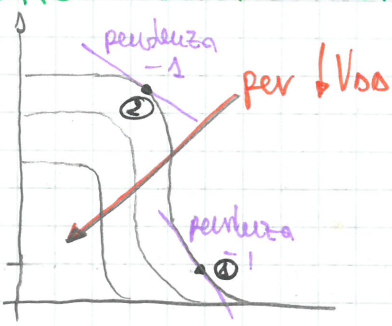
siamo alla soglia logica

- condiz sat per pMOS $V_{GDp} = V_{Tp} \rightsquigarrow V_{Gp} - V_{Dp} = V_{Tp} \rightarrow V_{IN} - V_{OUT} = V_{Tp} \rightarrow$

$\rightarrow V_{OUT} = \frac{V_{DD}}{2} - V_{Tp} > \frac{V_{DD}}{2}$ perché $V_{Tp} < 0$ (*)

Cosa succede se l'inverter non è simm?

Effetto della tensione di Alimentazione

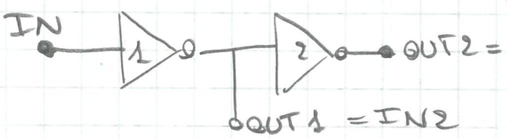


Ho un pto nella caratteristica in cui la pendenza è -1 (viene scelto -45° per comodità) per distinguere la soglia di commutazione. Verso quel pto la uscita cambia di poco. Una variazione maggiore e si sorpassa la soglia

①: max valore di V_{IN} per livello logico basso $\underline{V_{IN\,LOW}}$

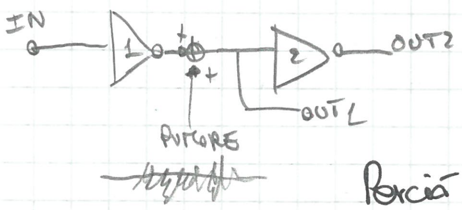
②: min " " " " " alto $\underline{V_{IN\,HIGH}}$

Questi valori sono utili per applicazioni come:



in condiz ideali $OUT2 = \overline{IN2} = \overline{OUT1} = IN1$

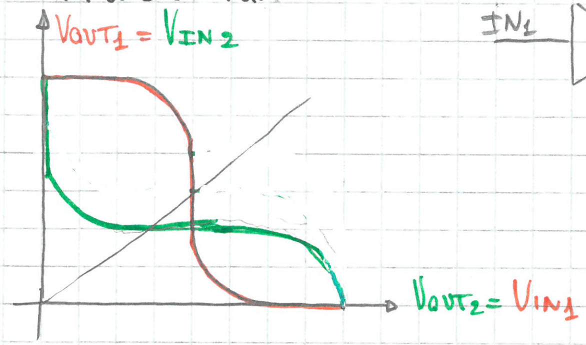
Però in condiz reali viene introdotto un rumore:

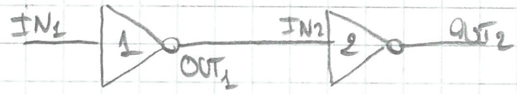


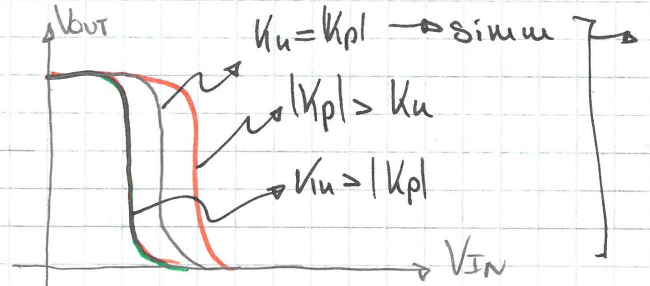
$OUT2 = \overline{IN2} = \overline{OUT1 + V_{noise}(t)}$ $\rightarrow$ devo essere certo che il rumore sovrapposto non influenzi l'uscita.

Perciò entrano in gioco V_{INL} e V_{INH}

si def margini di rumore (noise margins) i margini per cui l'uscita non viene influenzata.





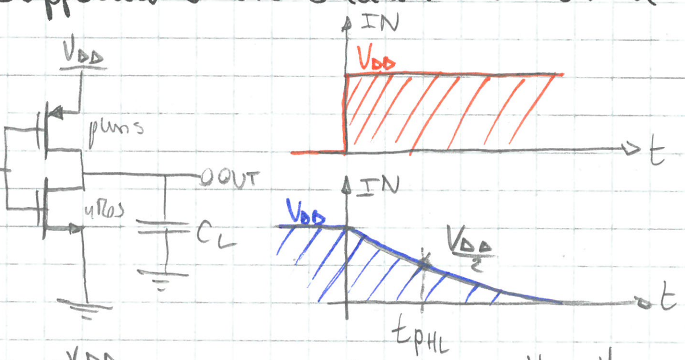


→ Ecco cosa succede con lo spostamento della simmetria. Oltre a non avere più simmetria, ottengo spostamento dei margini di rumore.

Analisi dinamica dell'inverter CMOS

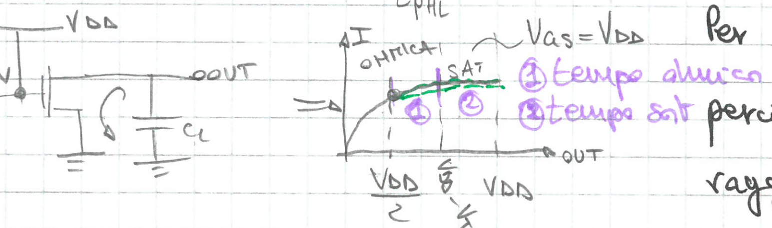
Vediamo i tempi di commutazione. Prendiamo $V_{Tn} = |V_{Tp}| = V_T$ $K_n = |K_p|$

supponiamo uno scalino da 0V a V_{DD} all'istante zero



t_{PHL}: tempo di propagazione High-Low

: tempo per cui l'uscita raggiunge il 50% V_{DD}



Per $V_{DD} - V_{Tn}$ non ha ancora raggiunto $\frac{V_{DD}}{2}$, perciò sono già in zona ohmica quando raggiunge t_{PHL}. Per trovare questo valore devo sommare (e calcolare prima di tutto) i tempi di saturazione e di zona ohmica prima di raggiungere $\frac{V_{DD}}{2}$. Si ricorre a delle stime, o approssimazioni, per cui si ha il calcolo di t_{PHL} senza passare per il calcolo rigoroso:

1a approx) Consideriamo che la capacità si scarichi con la corrente costante pari a quella di saturazione:

$$I_{SAT_n} = K_n (V_{GS_n} - V_{Tn})^2 = K_n (V_{DD} - V_{Tn})^2 \Rightarrow \boxed{t_{PHL} = \frac{Q_{50\%}}{I_{SAT_n}} = \frac{C_L \cdot \frac{V_{DD}}{2}}{K_n (V_{DD} - V_{Tn})^2}}$$

(La tensione perciò diminuirebbe linearmente). Questa è un'approx per ~~eccesso~~ difetto, perché I_{SAT_n} è più grande di quella reale (il tempo diminuisca)